

## 2.5D 芯片高速接口的 SI&PI 分析方案

张江涛<sup>1</sup>, 余斌<sup>1</sup>, 庞健<sup>1</sup>, 孙拓北<sup>1</sup>, 侯忠明<sup>2</sup>, 张书强<sup>2</sup>

深圳市中兴微电子技术有限公司, 518055<sup>1</sup>

安似科技(上海)有限公司, 200003<sup>2</sup>

**[ 摘要 ]** 伴随着人工智能、高性能服务器、存储、通信网络等高端应用的需求, 市场对高带宽、低功耗、高性能的要求越来越突出。在面临芯片加工工艺改进越来越困难的今天, 各大 Foundary 厂商的 2.5DIC 设计方案将 Moore 定律做了一个扩展, 很好地契合了当前对超大数据处理的需求, 同时也面临着许多需要克服的挑战, 例如更加困难复杂的建模方法与参数提取、问题分析、验证及更高的 Sign-Off 标准要求。先进的工艺制程及 2.5DIC 技术的应用导致芯片设计与验证变的更加复杂, 为了克服这些挑战需要一种新的信号与电源完整性分析思路与方法, ANSYS 针对 2.5DIC 封装设计流程提出了一种全新高效的 SI&PI 分析评估方案。基于 Interposer 设计的 SI&PI 解决方案包括 HBM2E, Serdes 等核心 IP 的 IR-Drop、EM、信号建模、S 参数模型提取、时域眼图分析等, 同时完成芯片数字 Core 电源的电源噪声、动态 IR Drop、EM 分析等, 采用 ANSYS 工具进行准确的建模仿真评估将有助于保证 2.5DIC 设计的质量和 Sign-Off 标准。

**[ 关键词 ]** HBM2E, 2.5DIC, Redhawk, Interposer, IR-Drop.

### 1 前言

随着 5G 商用时代的到来 AI 技术, 5G 网络技术, 大数据的服务器和超大规模存储的需求越来越旺盛。这些应用技术都伴随一个共同的特点: 高带宽, 低功耗, 高性能及高集成度, 而 2D 工艺技术已经远远不能满足上述应用需求, 同时晶圆工艺的发展进入了后摩尔时代, 工艺的发展趋缓, 光从晶圆工艺上来实现这些高端的应用变的越来越困难。在这些应用背景下, 2.5DIC 解决方案使得芯片工艺得以超越摩尔定律, 满足上述应用需求。例如一个系统中包括了 Logic Die, 4 片 DARM, 4 片 Flash, CIS, Analog, RF, MEMS 及一些无源器件, 采用传统的 2D 解决方案是把这些逻辑模块或器件平铺在硅基板上, 这种集成方式会使 DIE 的面积变得非常大, 因而整个系统的面积非常庞大, 实现性和成本上都变得难以接受。但是采用 2.5D Silicon INTERPOSER 的解决方案的话可以看到其中的 Flash 和 DRAM 模块实现堆叠, 并且通过 Silicon INTERPOSER 实现与 Logic Die 的信号互连通讯, 减小了整个系统的面积, 集成度和可实现性也得到了提高。

目前 EDA 供应商关于的 2.5DIC 的解决方案介绍主要包括两个方面, 也就是仿真工程师最关心的如何评估芯片的 PI 及 SI 性能。其中 PI 性能的评估主要包括 Chip Level 的 IR

Drop/EM 分析与 Chip-Package-System Level 的 PDN 网络噪声分析两个部分。SI 性能评估主要包括串行高速 Serdes 信号的插损/反射/串扰评估以及并行 HBM 信号的性能分析。

## 2 Dynamic IR 仿真系统构建

### 2.1 2.5DIC 设计与仿真面临的问题与挑战

区别于传统 2DIC, 2.5DIC 在系统的复杂程度上大大的增加, 详细系统建模和仿真, 以及芯片 Sign-Off 方面都有更大的挑战去克服, 从仿真角度下包括以下几点:

- **Multiple Systems** 多 DIE 系统, 2.5D 芯片系统中必定将涉及到 2 个以上的系统互连, 如何快速实现多系统的建模和仿真是其中一个难点。
- **Co-Simulation:** 在 2.5DIC 中涉及到 Logic Die, INTERPOSER, TSV 及封装多个结构, 单纯对其中的某一个结构进行分析已经无法得到准确评估其性能。
- 2.5DIC 的规模一般都比较庞大, 用传统的仿真方法可能已经无法适用, 如何准确的进行信号和电源的建模分析和参数提取, 软件和硬件如何支撑也是一个难点。

因此本文基于以上困难与挑战介绍一种全新的区别于传统 SI&PI 的分析方法, 来保证 2.5DIC 产品的可靠性和性能达标。

### 2.2 Dynamic IR 仿真数据模型互连

2.5DIC 的 Dynamic IR 仿真系统构建相对比较复杂, 相比传统仅仅需要分析 DIE Level 加 PKG Level 的系统, 需要考虑 INTERPOSER 的影响。如何快速高效的将 DIE Level, INTERPOSER 以及 PKG Level 这 3 个不同数据模型准确的连接起来是一个非常具有挑战的工作。

针对上述提到的构建 Dynamic IR Drop 仿真系统的痛点, ANSYS-Redhawk 专门为了实现准确数据模型互联开发了 3DIC 工具, 通过下图所示 UI 界面可以非常清晰方便的将 DIE CPM 模型, INTERPOSER 设计以及 PKG CPA 模型进行对应关系互联, 如下图 Fig 2-1。

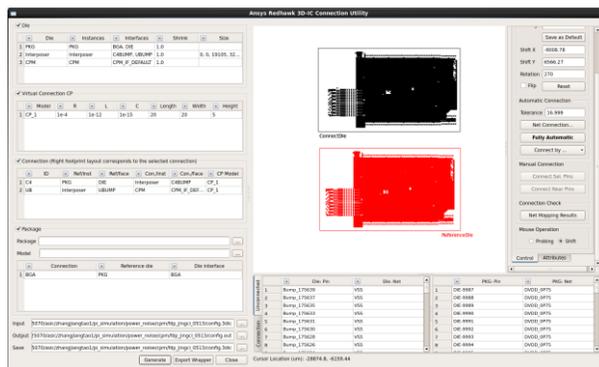


Fig 2-1. 3DIC 启动界面

其中 CPM 模型需要采用 Redhawk 提取的标准数据格式, 该数据类型包含了 DIE Level 上面的 uBump 的坐标 Net 相关信息, 直接可以导入 3DIC 小工具, 不需要做任何修改即可识别。INTERPOSER 仅需要相关设计的 DEF 与 LEF 数据即可, 同时需要 INTERPOSER 设

计同事提供准确的 Micro Bump 与 C4Bump 的 PLOC 文件，具体数据格式如下图 Fig 2-2 所示。

4990 ubump_18217 17912.820 9930.045 UBM VSS	C4_2870 5478.000 8819.000 UBMB VSS
4991 ubump_18218 17912.820 9830.045 UBM VSS	C4_2871 5138.000 8819.000 UBMB VSS
4992 ubump_18219 17912.820 9730.045 UBM VSS	C4_2872 4798.000 8819.000 UBMB VSS
4993 ubump_18220 17912.820 9630.045 UBM VSS	C4_2873 4458.000 8819.000 UBMB VSS
4994 ubump_18221 17912.820 9530.045 UBM VSS	C4_2874 4118.000 8819.000 UBMB VSS
4995 ubump_18222 17912.820 9430.045 UBM VSS	C4_2875 3778.000 8819.000 UBMB VSS
4996 ubump_18223 17912.820 9330.045 UBM VSS	C4_2876 3438.000 8819.000 UBMB VSS
4997 ubump_18224 17912.820 9230.045 UBM VSS	C4_2877 3098.000 8819.000 UBMB VSS
4998 ubump_18225 17912.820 9130.045 UBM VSS	C4_3012 1738.000 9444.000 UBMB VDD
4999 ubump_18226 17912.820 9030.045 UBM VSS	C4_3013 1738.000 9704.000 UBMB VDD
5000 ubump_18227 16562.820 31680.045 UBM VDD	C4_3014 1738.000 9274.000 UBMB VSS
5001 ubump_18228 16562.820 31580.045 UBM VDD	C4_3015 1738.000 9614.000 UBMB VSS
5002 ubump_18229 16562.820 31480.045 UBM VDD	C4_3016 1568.000 9274.000 UBMB VDD
5003 ubump_18230 16562.820 31380.045 UBM VDD	C4_3017 1568.000 9614.000 UBMB VDD
5004 ubump_18231 16562.820 31280.045 UBM VDD	C4_3018 1398.000 9104.000 UBMB VSS
5005 ubump_18232 16562.820 31180.045 UBM VDD	C4_3019 1398.000 9274.000 UBMB VSS
5006 ubump_18233 16562.820 31080.045 UBM VDD	C4_3020 1398.000 9614.000 UBMB VSS
5007 ubump_18234 16562.820 30980.045 UBM VDD	C4_3021 1228.000 9104.000 UBMB VDD
	C4_3022 1228.000 9444.000 UBMB VDD

Fig 2-2. PLOC 数据文件格式

如下图 Fig 2-3 所示黑色为 PKG C4Bump 的坐标示意图，红色为 INTERPOSER DEF 数据的 C4Bump 坐标示意图，通过 3DIC 自动或者手动连接功能，可以非常方便的将 PKG 与 INTERPOSER 各自的坐标对应起来，然后 3DIC 会自动生成一个 SPICE 互连网表，用于 Redhawk 工具进行 Dynamic IR 分析时调用。CPM 与 INTERPOSER 的互连也是采用类似操作。

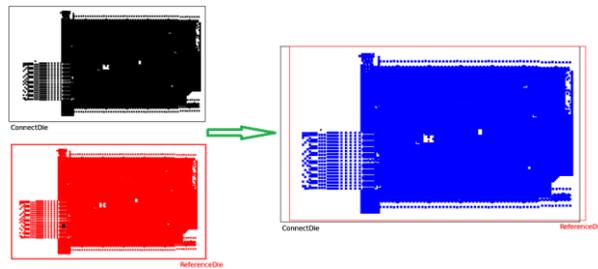


Fig 2-3. INTERPOSER 与 PKG 互连

通过上述操作，可以实现 Chip Level 的 CPM 模型，INTERPOSER 设计的 DEF 数据以及 PKG Level 的 CPA 模型对应关系的准确连接，然后采用 Redhawk 的 Dynamic IR 分析功能进行相应的仿真分析工作，最后的得到 IR 分析结果如下图 Fig 2-4 所示。

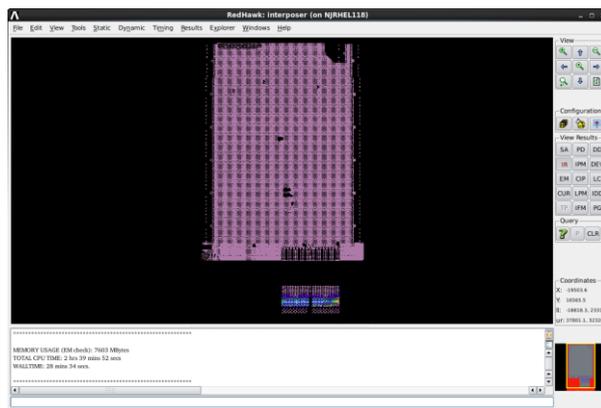


Fig 2-4. Redhawk Dynamic IR 仿真结果

### 2.3 Dynamic IR 仿真分析

### 2.3.1 Core 电源 Dynamic IR 分析

准确的获取上述三种 Level 的数据模型是保证仿真准确度的关键，其中 Chip Level 的 CPM 模型需要后端同事采用 Redhawk 工具提取相应的数据模型，其模型的复杂程度可以根据需要进行设置，可以提供 Per Pin 的 CPM 模型，Group 分组的 CPM 模型或者 Lump 的 CPM 模型，其模型复杂程度与精度依次降低。CPM 模型的准确度的一个关键数据就是准确的功耗信息，所以前期项目的评估的时候，一定要基于芯片的工作场景给你一个准确的功耗数据用于 CPM 模型的生成。

PKG Level 的 CPA 模型也是需要采用 Redhawk 工具进行提取，其模型与数据的复杂程度也是可以根据相应的 Group 设置方式来调节，模型结构越精细越复杂，评估的结果就越接近真实的应用场景，但是限于服务器资源以及仿真效率等因素，需要前期找到一个适合项目芯片的一个配置环境。如下图 Fig 2-5、Fig 2-6 所示同一个封装设计文件，采用不同的 Group 方式抽取出来的 CPA 模型的 RL 值差异很大，采用 Lump 的 Group 方式提取出来的 CPA 模型 RL 值比采用 19x19 Group 数量的 CPA 数据偏理想，最终评估的 Dynamic IR 结果也是偏理想。

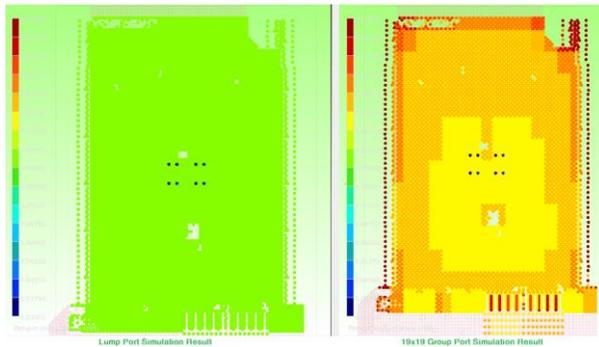


Fig 2-5. PKG Core 电源: Redhawk CPA R 值

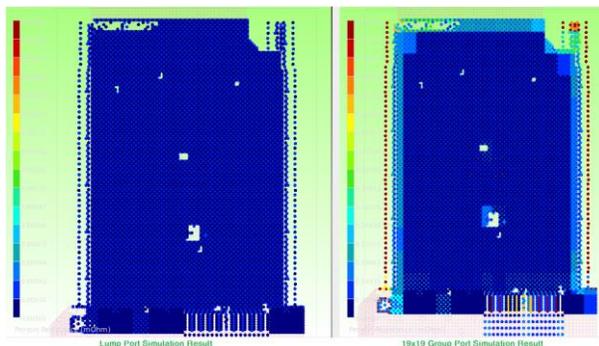


Fig 2-6. PKG Core 电源: Redhawk CPA L 值

完成上述三个仿真模型数据的输入以后，就可以采用 3DIC 工具将 CPM 模型，INTERPOSER 设计及 PKG CPA 模型进行级联操作，然后采用 Redhawk 的 Dynamic IR 分析功能进行相关的仿真分析。

如下图 Fig 2-7、Fig 2-8 所示，通过仿真结果可知“CPM 模型+INTERPOSER”的 Dynamic IR 仿真结果最大值为 3.38mV 左右，“CPM 模型+INTERPOSER+PKG CPA 模型”的 Dynamic IR 仿真结果最大值为 9.7mV 左右，引入 PKG CPA 模型以后，整个系统的 Dynamic IR 恶化了 6.22mV

左右，因此芯片系统进行 Dynamic IR 分析考虑 PKG 的影响对整个系统评估非常重要。通过下图 Fig 2-9 所示的 Dynamic IR 仿真结果可以非常清晰的看到 DIE 上面各个不同区域的 Dynamic IR 具体分布情况，便于后端与封装设计同事有针对性的进行优化调整。

另外，采用 Redhawk Dynamic IR 进行分析之后还能够比较快捷的查看整个 DIE 区域不同 uBump 上面的电阻值分布，如下图所示可知在 DIE 边缘的 uBump 的电阻相对中间区域明显偏大，可以参考该数据对 INTERPOSER 设计进行优化。

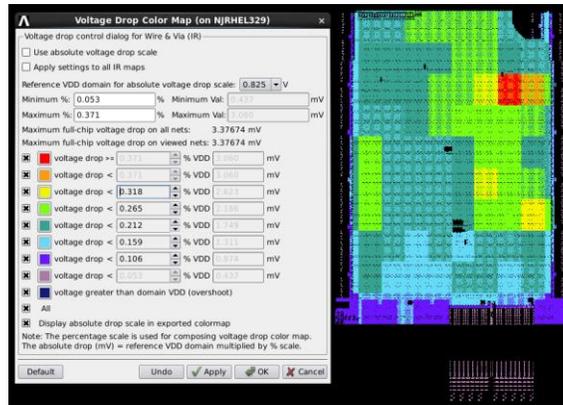


Fig 2-7. Core CPM+INTERPOSER 电源的 Dynamic IR 仿真结果

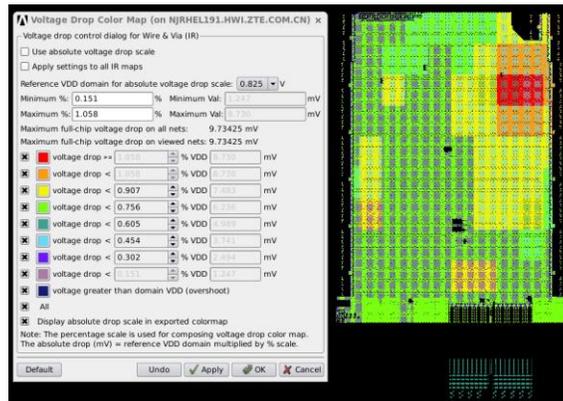


Fig 2-8. Core CPM+INTERPOSER+PKG 电源的 Dynamic IR 仿真结果

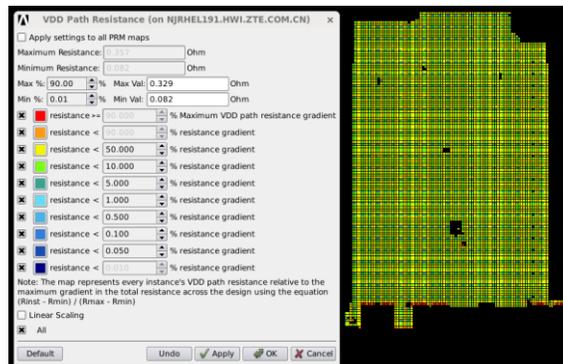


Fig 2-9. Core CPM+INTERPOSER+PKG 电源的 VDD Per Pin 电阻分布图

### 2.3.2 HBM2E 电源 Dynamic IR 分析结果

根据上述 Core 电源仿真 Dynamic IR 的流程,利用 HBM2E 颗粒的 CPM 模型进行仿真, HBM2E 颗粒的“CPM 模型+INTERPOSER”级联后的 Dynamic IR 仿真结果为 5.3mV 左右,“CPM 模型+INTERPOSER+PKG CPA 模型”级联后的 Dynamic IR 仿真结果为 15.1mV 左右,如下图 Fig 2-10、Fig 2-11 所示。

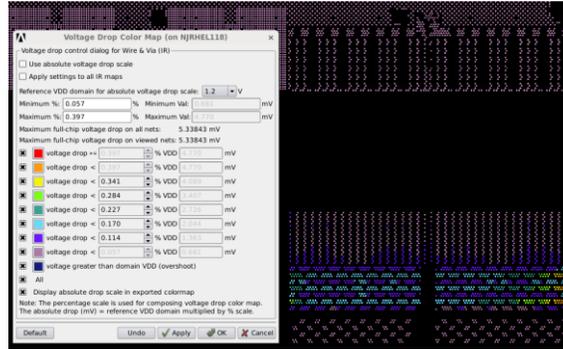


Fig 2-10. HBM2 颗粒 VDDQ 电源: CPM+INTERPOSER

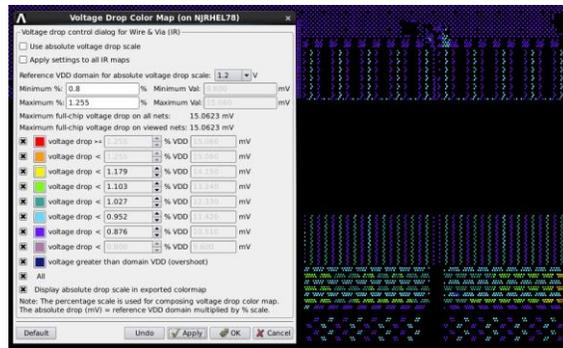


Fig 2-11. HBM2 颗粒 VDDQ 电源: CPM+INTERPOSER+PKG

### 2.3.3 SERDES 电源 Dynamic IR 分析结果

下图 Fig 2-12 所示为采用 SERDES CPM 电源模型进行的 8 Lane 供电 Block 的 Dynamic IR 仿真结果,其中左边为“CPM 模型+INTERPOSER”的仿真结果,Dynamic IR 最大值为 7.4mV 左右。右图所示为“CPM 模型+INTERPOSER+PKG CPA 模型”级联后的 Dynamic IR 仿真结果,Dynamic IR 的最大值为 16.4mV 左右,恶化了 9mV 左右。同时可以看出,Dynamic IR 最大的区域就是在 INTERPOSER 设计中相对比较薄弱的地方。

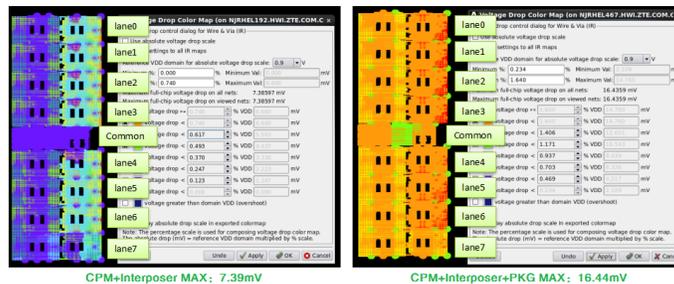


Fig 2-12. Serdes AVDD 供电电源 Dynamic IR 仿真结果

### 3 INTERPOSER 电源与信号模型提取

由于 2.5DIC 的数据规模一般都比较庞大，用传统的仿真方法可能已经无法进行相关仿真评估。以 HBM2E 的 INTERPOSER 设计为例，一个 HBM2E 的数据信号线为 1024，同时整个设计的 Via 孔的数量相比于传统 PKG 的 Via 数量增加了几个量级，如何准确的进行信号和电源的建模和参数提取，软件和硬件如何支撑也是一个很大的挑战。

#### 3.1 INTERPOSER 设计电源模型

采用 ANSYS CSM 工具进行 INTERPOSER 设计关键 IP 供电电源模块的 RLC 模型提取非常的方便快捷，经过仿真对比其数据精度可以得到比较好的保证，CSM 工具操作界面如下图 Fig 3-1 所示。

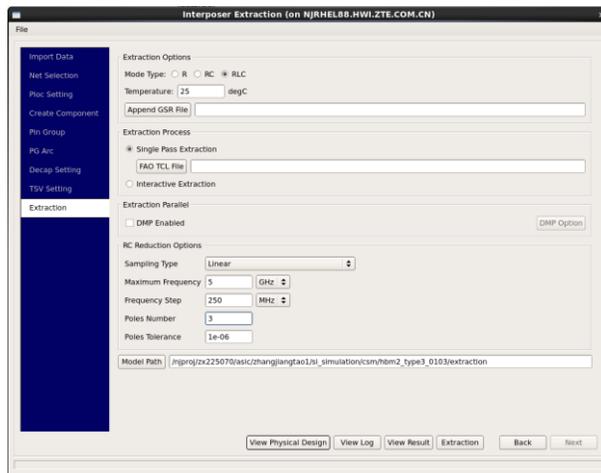


Fig 3-1. CSM 信号电源 RLC 参数提取 UI

为了降低 Serdes 供电电源在不同 Lane 之间的串扰影响，供电电源在 INTERPOSER 上各个 Lane 是单独分开供电，这就为各个 Lane 供电电源参数提取增加了更大的难度，为了对比各个不同 Lane 对 Serdes IP 供电噪声的影响。Power Noise 仿真采用的 INTERPOSER 模型就需要单独提取每个 Lane 的 Serdes INTERPOSER 供电电源 RLC 参数模型，总共 48 Lane，采用 CSM 的 Group 功能可以比较方便的实现上述参数提取需求，对于 PCB 与 PKG 的供电电源可以采用 ANSYS SIwave 工具提取，在此不再赘述，最终 Serdes 电源噪声的时域仿真结果如下图 Fig 3-2 所示。

对比仿真结果发现其中有两个 Lane 对应的 uBump 上 Power Noise DC IR 值相比其他结果“异常”，经过分析发现该两个 Lane 为 Serdes DIE 所处的上下边缘位置的两个 Lane，DC IR 偏小是由于上下边缘两个 Lane 的供电电源的 uBump 数量要比中间位置的供电 uBump 数量要多出两个，如下图 Fig 3-3 所示。进一步对比发现这两个 Lane 的 DC IR 也有一定差异，进一步对比发现是由于在边缘 uBump 的连接方式上的差异导致，如下图所示“LANE TOP”边缘的 uBump 直接打孔连接到下层的 METAL2 层，“LANE BOTTOM”是通过在 UBM 层拉出一根细走线然后连接到 METAL3 层的主电源，由于 UBM 层的走线比较细导致 R 值偏高，导致“LANE BOTTOM”的电阻比较大，因此“LANE BOTTOM”的压降比“LANE TOP”的要大一些，后续经过优化设计调整走线将此处进行修复，具体设计差异如下图 Fig 3-4 所以。

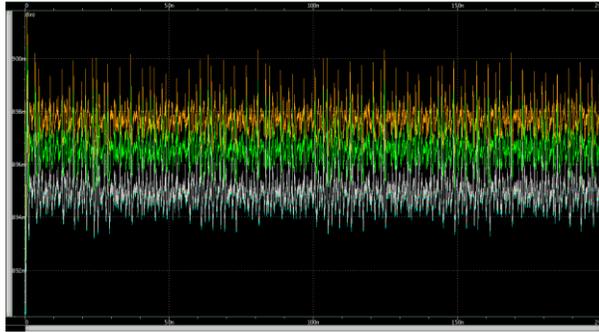


Fig 3-2. SERDES Power Noise of each Lane

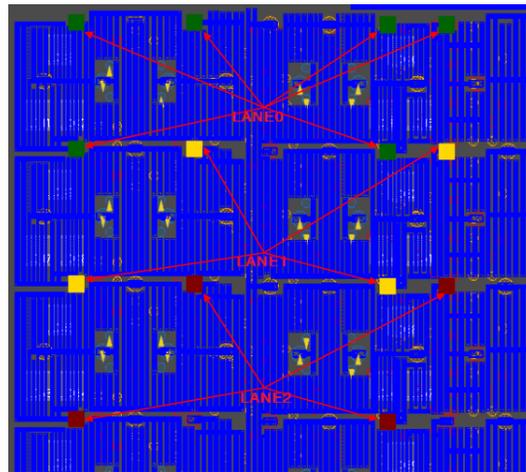


Fig 3-3. Lane 供电电源 uBump 数量对比

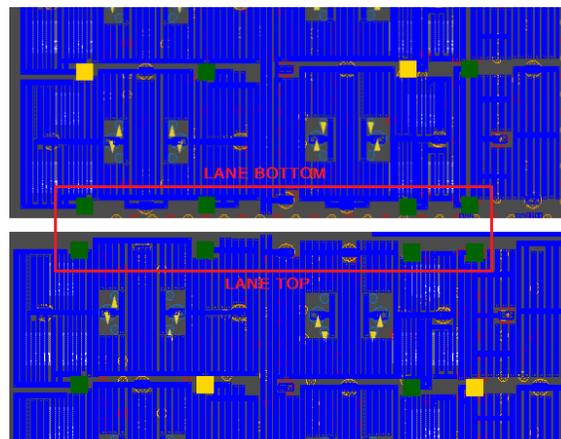


Fig 3-4. TOP 与 BOTTOM Lane 供电处理方式对比

### 3.2 HBM 信号 S 参数模型

类似上述电源提取 RLC 参数提取流程，可以采用 Redhawk CSM 工具进行 HBM2E 的 INTERPOSER 信号电源走线 RLC 参数同时提取，PCB 与 PKG 的电源模型采用 ANSYS SIwave 工具提取，然后采用 CSM 时域仿真工具与流程进行相应的时域眼图仿真，仿真流程如下图 Fig 3-5 所示。

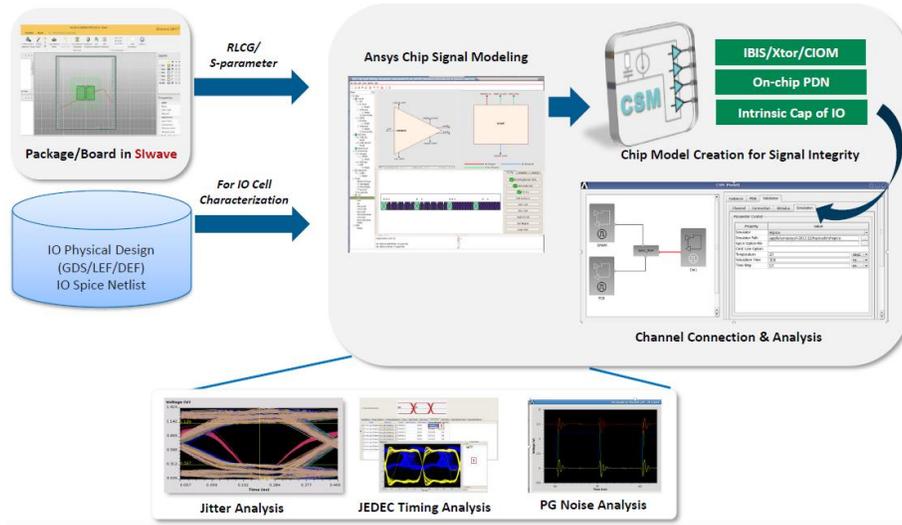


Fig 3-5. CSM 时域 HBM2E 眼图仿真 UI

HBM2E 信号时域仿真结果如下图 Fig 3-6、Fig 3-7 所示，采用 CSM 工具可以方便快捷的查看时域波形与时域眼图，同时在 CSM 工具里面集成了 HBM2E 的 SPEC，可以方便快捷的生成相应的仿真报告，便于查看仿真结果是否满足 JEDEC 要求。

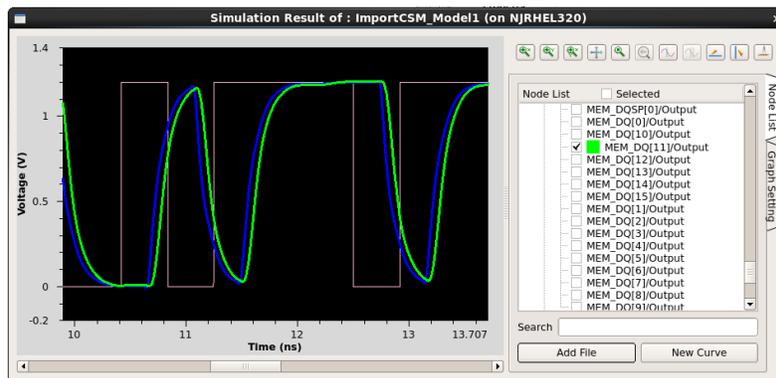


Fig 3-6. HBM2E 时域波形仿真结果

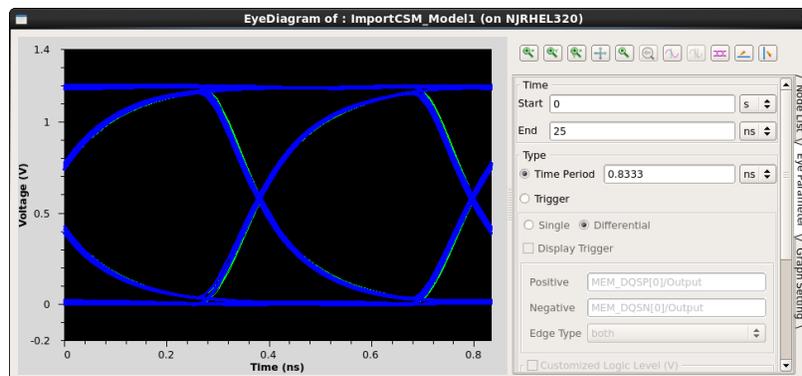


Fig 3-7. HBM2E 时域眼图仿真结果

## 4 结论

经过上述针对 2.5DIC 的 PI&SI 相关仿真方法的介绍，采用 ANSYS Redhawk 与 CSM 工具提取 INTERPOSER 的信号电源模型，可以准确高效、方便快捷的对 2.5DIC 设计进行详细的 PI/SI 仿真评估，为 2.5DIC 芯片的顺利 Sign-Off 提供仿真支持。

Dynamic IR 仿真分析对比结果可知，在进行芯片 Dynamic IR 仿真时需要考虑“CPM 模型+INTERPOSER+PKG CPA 模型”进行整个芯片的系统关键供电电源的分析工作，从芯片 Logic Core 电源，HBM2E 以及 Serdes 等核心 IP 的关键供电电源的最终仿真结果来看，仅仅仿真“CPM 模型+INTERPOSER”的分析并不能对芯片的 Dynamic IR 进行更加可靠全面的评估，两种仿真系统结构的分析结果差异也比较大。

Redhawk CSM 工具在提取 INTERPOSER 设计信号电源 RLC 参数模型准确性方面可以很好的满足设计要求，对 INTERPOSER 设计上的细微差异可以准确的在仿真结果上体现出来，供 INTERPOSER 设计同事与 PI&SI 仿真同事进行优化分析。

通过 Redhawk CSM 的 HBM2E 时域眼图分析功能，可以比较高效快捷的完成 HBM2E 信号走线与电源参数提取，同时 HBM2E 数据信号时域性能仿真结果是否满足 JEDEC 要求也能够比较方便的生成相应的仿真报告。

### [参考文献]

- [1] 《信号完整性分析》，Eric.Bogatin，2005 年 04 月，电子工业出版社.
- [2] 3D Modeling and Electrical Characteristics of Through-Silicon-Via(TSV)in 3D Integrated Circuits，2011 International Conference on Electronic Packaging Technology & High Density Packaging，Lei Liang、Min Miao.etc.
- [3] 3D Si INTERPOSER Design and Electrical Performance Study，DesignCon 2013，Mandy (Ying) Ji, Ming Li.etc.
- [4] Redhawk 用户手册.